

GALLAGHER & LATHROP
A PROFESSIONAL CORPORATION
INTELLECTUAL PROPERTY LAW

601 CALIFORNIA STREET, SUITE 1111
SAN FRANCISCO, CALIFORNIA 94108-2805

COPY

#2
THOMAS A. GALLAGHER
DAVID N. LATHROP
TIMOTHY J. LANE

TELEPHONE (415) 989-8080
FACSIMILE (415) 989-0910
email: office@patentz.com

April 27, 2001

Commissioner for Patents
United States Patent and Trademark Office
Box Patent Application
Washington, DC 20231



25271

PATENT TRADEMARK OFFICE

JC971 U.S. PTO
09/844301
04/27/01

Re: United States Patent Application
Our File: KPO116

Dear Sir:

Enclosed herewith for filing is the patent application of **Hiromi Oshima, Noboru Okino and Yasuhiro Kawata** entitled "Memory Testing Method & Memory Testing Apparatus."

Applicants submit:

cover sheet

description (25 pages)

claims (3 pages)

Abstract (1 page)

Formal drawings (6 sheets)

Declaration of Inventor

Form PTO-1595

Assignment to Japan Aviation Electronics Industry Limited

Power of Attorney by assignee

check for \$1,038.00 for application filing fee and assignment recordation fee

* Applicant claims right of priority under 35 USC § 119(a)-(d) for Japanese patent application Serial No.133432/00, filed in the Japanese Patent Office on May 2, 2000. In accordance with 37 CFR § 1.55(a), a certified copy of the priority application is submitted herewith.

The fees which Applicants believe are due are calculated as follows:

Basic Filing Fee:	\$ 710.00
Independent Claims Fee [(3-3) x \$80]:	.00
Total Claims Fee [(12-20) x \$18]:	.00
Multiple Dependent Claims Fee: [\$270]	270.00
Recordation fee for one Assignment:	40.00

Total Fees	\$1,020.00

Attorney Docket: KPO116

Commissioner for Patents
April 27, 2001

COPY

Page 2

You are authorized to charge any deficiency or credit any overpayment to Deposit Account No. 07-0137. A copy of this letter authorizing the charge to the deposit account is enclosed.

Very truly yours,

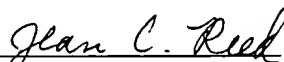
GALLAGHER & LATHROP,
A PROFESSIONAL CORPORATION



David N. Lathrop
Reg. No. 34,655

Certificate of Express Mailing Under 37 CFR 1.10

I certify that this patent application and all other enclosed materials are being deposited with the United States Postal Service on April 27, 2001 as "Express Mail," mailing label EL680122660US, in an envelope addressed to Commissioner for Patents, Box Patent Application, Washington, DC 20231.



Jean C. Reed

Encl. As noted above

137,028 #2

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

JC971 U.S. PTO
09/844301
04/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2000年 5月 2日

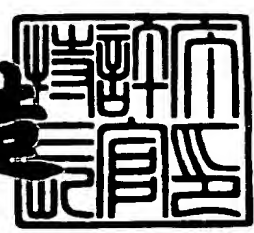
出 願 番 号
Application Number: 特願2000-133432

出 願 人
Applicant (s): 株式会社アドバンテスト

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3024018

【書類名】 特許願

【整理番号】 ADV00N8761

【提出日】 平成12年 5月 2日

【あて先】 特許庁長官殿

【国際特許分類】 G01R

【発明者】

 【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
 テスト内

 【氏名】 大島 広美

【発明者】

 【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
 テスト内

 【氏名】 沖野 昇

【発明者】

 【住所又は居所】 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバン
 テスト内

 【氏名】 川田 保博

【特許出願人】

 【識別番号】 390005175

 【氏名又は名称】 株式会社アドバンテスト

【代理人】

 【識別番号】 100066153

 【弁理士】

 【氏名又は名称】 草野 卓

【選任した代理人】

 【識別番号】 100100642

 【弁理士】

 【氏名又は名称】 稲垣 稔

【手数料の表示】

【予納台帳番号】 002897

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9718552

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリ試験方法・メモリ試験装置

【特許請求の範囲】

【請求項1】 ブロック機能を具備したメモリの各ブロックを構成するセルに所定の論理が正常に書き込めたか否かを試験し、不良セルを検出するメモリ試験方法において、各ブロック内の不良セルの数が所定個に達した時点でその試験中のブロックをスペアブロックによって救済すると判定し、そのブロックの試験を中止することを特徴とするメモリ試験方法。

【請求項2】 請求項1記載のメモリ試験方法において、試験中のブロックがスペアブロックによって救済すると判定された時点で、試験対象ブロックを次のブロックに移すことを特徴とするメモリ試験方法。

【請求項3】 請求項1記載のメモリ試験方法において、同時に複数のメモリを試験している状態で試験中の或るメモリのブロックがスペアブロックによって救済すると判定された場合は、そのメモリはそのブロックの試験を中断し、他のメモリの試験が次のブロックに移るのと同期して次のブロックの試験を開始することを特徴とするメモリ試験方法。

【請求項4】 ブロック機能を具備したメモリの各ブロックを構成するセルに所定の論理が正常に書き込めたか否かを試験し、不良セルを検出するメモリ試験方法において、同一アドレスライン上の不良セルの数が所定個に達した場合は、その後に試験する他のブロックではそのアドレスライン上のセルの試験をマスクすることを特徴とするメモリ試験方法。

【請求項5】 請求項1乃至3記載のメモリ試験方法の何れかにおいて、スペアブロックによって救済すると判定されたブロックの数が予め定めた許容値を越えた場合は、その試験中のメモリの試験はその時点で終了することを特徴とするメモリ試験方法。

【請求項6】 A、ブロック機能を具備したメモリの各ブロックを構成する各メモリセルに所定の論理が正常に書き込めたか否かを試験するメモリ試験装置において、

B、各ブロック内において所定数の不良セルが存在することを検出してそのブ

ロックをバッドブロックと判定し、記憶するバッドブロック検出記憶手段と、

C、同一アドレスライン上に所定数の不良セルが存在することを検出してそのアドレスラインをバッドアドレスラインと判定し、記憶するバッドアドレスライン検出記憶手段と、

D、上記バッドブロック検出記憶手段が試験中のブロックをバッドブロックと判定した時点で、その試験中のブロックの試験を中断させると共に、上記バッドアドレスライン検出記憶手段がバッドアドレスラインを検出した時点で、その後試験を行う他のブロックの試験では検出されたバッドアドレスライン上のセルに強制書込信号を書込み、そのセルを試験の対象から除外する制御を行うマスク制御手段と、

を付加した構成としたことを特徴とするメモリ試験装置。

【請求項 7】 A、請求項 6 記載のメモリ試験装置において、

B、上記バッドブロック検出記憶手段に所定個のバッドブロックが記憶されたことを検出すると、そのバッドブロックを発生したメモリをバッドメモリと判定するバッドメモリ検出手段と、

C、このバッドメモリ検出手段が試験中のメモリをバッドメモリと判定した時点から、そのメモリに対する試験を停止させるマスク制御手段と、

を付加した構成としたことを特徴とするメモリ試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は例えばフラッシュメモリと呼ばれるブロック機能を具備したメモリを試験するメモリ試験装置に関する。

【0002】

【従来の技術】

書き換え可能な読み出し専用メモリである P R O M の中で、電氣的に全ビットの内容（ブロック単位でも可能）を消し、その内容を書き換えることができるメモリをフラッシュメモリと称している。このフラッシュメモリは図 4 に示すように M ビットを 1 ページとし、N ページを 1 ブロックとして取り扱い、全ビットは

元よりブロック単位で記憶内容を消し、内容を書き換えることを可能とするブロック機能を持っている。一般にMビット=512乃至2048ビット、Nページ=16ページとされる場合が多い。

【0003】

このフラッシュメモリも従来は一般的なメモリをテストするメモリ試験装置を利用してテストを実行している。図5に普通一般に使われているメモリ試験装置の概要を示す。

図中100は主制御器、200はメインフレームと呼ばれているテスト本体、300は被試験メモリMUTをメインフレーム200に電氣的に接続するテストヘッドを示す。主制御器100は例えばワークステーション程度の規模を具備したコンピュータシステムによって構築され、テストプログラム101に記載されたテスト条件をメインフレーム200に設けたパターン発生器PGとタイミング発生器TGに転送して初期設定を施し、この初期設定条件に従ってパターン発生器PGとタイミング発生器TGを制御し、被試験メモリMUTをテストする。

【0004】

つまり、メインフレーム200にはパターンデータを発生するパターン発生器PGと、各種のタイミングクロックを発生させるタイミング発生器TGと、パターン発生器PGが出力するパターンデータと、タイミング発生器TGが出力するタイミング信号とによって信号波形の立上り、立下りのタイミングが規定された実波形を持つ試験パターン信号を生成する波形フォーマッタFCと、波形フォーマッタFCから出力される多チャンネルの試験パターン信号をテストヘッド300に伝送するドライバ群DRと、被試験メモリMUTが出力する読出応答出力信号が正規のL論理レベル及びH論理レベルを持っているか否かを判定する電圧比較器群VCPと、電圧比較器群VCPの判定結果が良である場合に、その判定結果とパターン発生器PGが出力する期待値パターンとを比較する論理比較器LOCと、論理比較器LOCの比較結果を記憶する不良解析メモリAFMとによって構成される。

【0005】

不良解析メモリAFMはよく知られているように、被試験メモリMUTと同等

乃至はそれ以上の記憶容量を持つメモリによって構成され、被試験メモリMUTの全ビットの良否判定結果を格納する。

従って、従来はフラッシュメモリを試験した場合も全ビットの良否判定結果を不良解析メモリAFMに格納し、不良解析メモリAFMに与えるアドレス信号に従って各ブロックを識別し、各ブロック毎に不良セルの数を計数し、救済が可能か否か等の救済処理等に利用している。

【0006】

図6に一般的なフラッシュメモリを構成する半導体チップの救済構造を示す。チップCHP内にはメモリ形成部A1、A2と、スペアカラム形成部B1、B2と、スペアブロック形成部C1、C2とが形成される。メモリ形成部A1にはこの例ではブロックNO. 1～NO. 512が形成され、他方のメモリ形成部A2にはブロックNO. 513～NO. 1024を形成した場合を示す。図6ではメモリ形成部をA1、A2の2個形成した場合を示すが、その数は任意に採られる。

【0007】

スペアカラム形成部B1にはメモリ形成部A1のカラムアドレス線上の不良セルを救済するためのスペアカラムセル列SCが形成される。この例では4本のスペアカラムセル列SCを形成した場合を示す。スペアカラム形成部B2にはメモリ形成部A2のカラムアドレス線上の不良セルを救済するためのスペアカラムセル列SCが形成される。これらのスペアカラムセル列SCをメモリ形成部A1及びA2に形成したセル列と置き換えることにより不良セルの救済を行う。

【0008】

スペアブロック形成部C1とC2にはそれぞれに複数のスペアブロックSBが形成され、これら複数のスペアブロックSBをメモリ形成部A1とA2内の不良ブロックに置き換えることにより、不良ブロックの救済を行う。

フラッシュメモリの試験はブロック単位に行われる。例えばブロックNO. 1をローアドレスによってアクセスし、ブロックNO. 1のメモリセルをカラムアドレス方向にアクセスして、書込みと読み出しが行われ期待値と比較される。例えばNAND型のフラッシュメモリの場合は「0」論理を書込み、この「0」論

理が正常に書き込まれているか否かにより不良セルの検出を行なっている。つまり、NAND型フラッシュメモリは無書込状態で「1」論理を出力する性質を具備している。書込みと読み出しは例えば6ビットずつ同時に行われる。

【0009】

【発明が解決しようとする課題】

上述したように、従来のメモリ試験装置は被試験メモリと同等のアドレス構造を持つ不良解析メモリAFMに不良セルのアドレスを記憶させ、試験終了後にその記憶を解析してスペアカラムセル列SCと、スペアブロックSBの個数の範囲で救済が可能か否かを判定するから、その解析に時間が掛かる欠点がある。

更に、フラッシュメモリでは不揮発性メモリの特性上当初は書込み及び読み出しが不能であったセルでも書込みと、読み出しを繰り返す間に正常なセルに変移する場合がある。このためにメモリの内部に書込みが正常に行われたか否かを判定する機能と、正常に書込みが行われな場合は再書込みを行う機能とが付加されている。再書込みの回数は最大で6回程度に制限されているが、この再書込みを行っている時間は長い。このためにフラッシュメモリの試験に要する時間は不良セルの数に比例して試験に要する時間が長くなる大きな欠点がある。

【0010】

この発明の目的は不良救済が可能か否かを試験中に判定してしまうメモリ試験方法と、メモリ試験装置を提供すること、及びフラッシュメモリのような不揮発性メモリの試験時間を短縮することができるメモリ試験方法と、メモリ試験装置を提供することにある。

【0011】

【課題を解決するための手段】

この発明の請求項1では、ブロック機能を具備したメモリの各ブロックを構成するセルに所定の論理が正常に書き込めたか否かを試験し、不良セルを検出するメモリ試験方法において、各ブロック内の不良セルの数が所定個に達した時点でその試験中のブロックをスペアブロックによって救済すると判定し、そのブロックの試験を中止するメモリ試験装置を提案する。

【0012】

この発明の請求項 2 では、請求項 1 記載のメモリ試験方法において、試験中のブロックがスペアブロックによって救済すると判定された時点で、試験対象ブロックを次のブロックに移すメモリ試験方法を提案する。

この発明の請求項 3 では、請求項 1 記載のメモリ試験方法において、同時に複数のメモリを試験している状態で試験中のブロックがスペアブロックによって救済すると判定された場合は、そのメモリのブロックの試験を中断し、他のメモリの試験が次のブロックに移るのと同期して次のブロックの試験を開始するメモリ試験方法を提案する。

【 0 0 1 3 】

この発明の請求項 4 では、ブロック機能を具備したメモリの各ブロックを構成するセルに所定の論理が正常に書き込めたか否かを試験し、不良セルを検出するメモリ試験方法において、同一アドレスライン上の不良セルの数が所定個に達した場合は、その後に試験する他のブロックではそのアドレスライン上のセルの試験をマスクするメモリ試験方法を提案する。

この発明の請求項 5 では、請求項 1 乃至 3 記載のメモリ試験方法の何れかにおいて、スペアブロックによって救済すると判定されたブロックの数が予め定めた許容値を越えた場合は、その試験中のメモリの試験はその時点で修了するメモリ試験方法を提案する。

【 0 0 1 4 】

この発明の請求項 6 では、A、ブロック機能を具備したメモリの各ブロックを構成する各メモリセルに所定の論理が正常に書き込めたか否かを試験するメモリ試験装置において、

B、各ブロック内において所定数の不良セルが存在することを検出してそのブロックをバッドブロックと判定し、記憶するバッドブロック検出記憶手段と、

C、同一アドレスライン上に所定数の不良セルが存在することを検出してそのアドレスラインをバッドアドレスラインと判定し、記憶するバッドアドレスライン検出記憶手段と、

D、バッドブロック検出記憶手段が試験中のブロックをバッドブロックと判定した時点で、その試験中のブロックの試験を中断させると共に、バッドアドレス

ライン検出記憶手段がバッドアドレスラインを検出した時点で、その後に試験を行う他のブロックの試験では検出されたバッドアドレスライン上のセルに強制書込信号を書込み、そのセルを試験の対象から除外する制御を行うマスク制御手段と、

を付加した構成としたメモリ試験装置を提案する。

【0015】

この発明の請求項7では、A、請求項6記載のメモリ試験装置において、

B、バッドブロック検出記憶手段に所定個のバッドブロックが記憶されたことを検出すると、そのバッドブロックを発生したメモリをバッドメモリと判定するバッドメモリ検出手段と、

C、このバッドメモリ検出手段が試験中のメモリをバッドメモリと判定した時点から、そのメモリに対する試験を停止させるマスク制御手段と、

を付加した構成としたメモリ試験装置を提案する。

【0016】

【作用】

この発明の請求項1で提案するメモリ試験方法によれば試験中のブロックにおいて不良セルの数が例えばスペアカラムセル列の本数より多く検出された場合は、そのブロックはスペアブロックに置換して救済すると判定する。従ってそのブロックの試験はその時点からは行う必要が無く、特に請求項2で提案するメモリ試験方法に従えば次のブロックの試験に移ることができる。この結果、試験終了後に不良救済が可能か否かを判定しなくてよく、また試験に要する時間を短縮することができる利点を得られる。

【0017】

この発明の請求項3で提案するメモリ試験方法によれば同時に複数のフラッシュメモリを試験している場合に、あるフラッシュメモリでスペアブロックに置換して救済することが決定された場合は、そのフラッシュメモリのそのブロックに関する試験はその時点で中断し、他のフラッシュメモリの試験が次のブロックに移る際に、これと同期して中断していたフラッシュメモリの試験も再開させる。

従って、不良セルの数が多いフラッシュメモリの試験に要する時間に対して、

比較的不良セルの数が少ない他のフラッシュメモリの試験時間を遅らせてしまう不都合を回避することができる。

【0018】

この発明の請求項4で提案するメモリ試験方法によれば、同一アドレスライン上（カラムアドレスライン）に所定値以上（スペアブロックの数以上）の不良セルが検出された場合は、この不良セルが存在するカラムアドレスをスペアカラムセル列で救済するものと判定し、更にその後に試験を行うブロックではこのカラムアドレスライン上のセルに関しては試験をマスクさせ試験の対象から外して試験を行わせる。この結果、同一カラムアドレスライン上に多くの不良セルが存在した場合に、所定個の不良セルを計数するまでは時間が掛かっても、それ以後はその不良カラムアドレスライン上の不良セルは試験の対象から外されるため、結果的には試験時間を短縮することができる。

【0019】

この発明の請求項5で提案するメモリ試験方法によればスペアブロックを使った救済が予め定めた許容値を越えた場合は、そのフラッシュメモリの試験を停止させ、不良メモリとして処理する。従って、不良セルの数が多いメモリの試験のために他のメモリの試験時間が長くなってしまう不都合が解消される。

【0020】

【発明の実施の形態】

図1にこの発明による請求項6及び7で提案するメモリ試験装置の一実施例を示す。この発明においては図5に示した通常のメモリ試験装置の構成にバッドブロック検出記憶手段202と、バッドアドレスライン検出記憶手段203と、バッドメモリ検出記憶手段204と、マスク制御手段205とを設けた構成を特徴とするものである。

【0021】

バッドブロック検出記憶手段202は論理比較器LOCが出力する不良検出信号FCを計数し、ブロック機能を具備したメモリの各ブロックにおいて、試験中のブロックで検出される不良セルの個数が所定の個数（図6に示したスペアカラムセル列SCの本数+1）に達した時点で、このブロックをバッドブロックと判

定し、このブロックを図 6 で説明したスペアブロック S B で救済するものとし、その後はこのブロックの試験を中断させる。この試験の中断はマスク制御手段 2 0 5 が行う。

【 0 0 2 2 】

バッドアドレスライン検出記憶手段 2 0 3 は同一アドレスライン（カラムアドレスライン）上で発生する不良セルの数を計数し、不良セルの数が図 6 に示したスペアブロックの数に + 1 した数に達した時点でバッドアドレスラインと判定する。バッドアドレスラインが検出されると、そのバッドアドレスラインはスペアカラムセル列 S C で救済するものとするからその後に試験を行う他のブロックではそのバッドアドレスライン上のセルに対しては試験を行わずにマスクする。その結果としてバッドアドレスライン上に連続して不良セルが存在した場合でも、バッドアドレスラインと判定した後は、そのバッドアドレスライン上の不良セルに関しては試験を行わないから、試験時間が長くなる不都合を回避することができる。

【 0 0 2 3 】

バッドメモリ検出記憶手段 2 0 4 はバッドブロック検出記憶手段 2 0 2 でバッドブロックを検出する毎にそのバッドブロックの個数を計数し、その計数値が予め定めた許容値（スペアブロックの数に全ブロック数の数%を加えた数値）に達した時点でその試験中のメモリをバッドメモリと判定し、不良品として処理を行う。従って、バッドメモリと判定した時点以後は、このメモリに関しては試験を停止する。

【 0 0 2 4 】

以上により、この発明の特徴とするメモリ試験方法及びメモリ試験装置の構成動作の概要が理解されるところであるが、以下に各部の構成及びその動作を詳細に説明する。

図 2 にその詳細構造の一例を示す。バッドブロック検出記憶手段 2 0 2 は被試験メモリ M U T のカラムアドレスと同一のビット長を持つレジスタ F C M と、このレジスタ F C M から読み出されるフェイルを検出するフェイル検出器 F C D と、フェイル検出器 F C D がフェイルを検出する毎にそのフェイルの数を計数する

フェイルカウンタFCCONと、このフェイルカウンタFCCONに計数されるフェイル数と第1レジスタRG1に設定した値とを比較する第1比較器CP1と、第1比較器CP1がフェイルカウンタFCCONの計数値が第1レジスタRG1に設定した値に等しくなったことを検出すると、試験中のブロックと同じアドレスにバッドブロックを表わす、例えば「1」論理を記憶するバッドブロックメモリBBMとによって構成することができる。

【0025】

被試験メモリMUTにはパターン発生器PGから試験パターン信号TPとアドレス信号ADRとが与えられ、例えばNAND型フラッシュメモリの場合であれば試験対象ブロック内の全てのメモリセルに「0」論理を書きこむ。被試験メモリMUTはローアドレスによりブロックが選択され、各ブロック内はカラムアドレス方向に1アドレスずつアクセスされて読み出しが行われる。つまり、被試験メモリMUTではローアドレスライン上の各セルの記憶をカラムアドレス方向に読み出しが行われる。尚、ローアドレスラインROLINとカラムアドレスラインCOLINの配置の一例を図3に示す。

【0026】

被試験メモリMUTに与えられるアドレス信号ADRの中からカラムアドレス信号をカラムアドレス選択器206で取り出し、そのカラムアドレス信号でレジスタFCMの各アドレスをアクセスし論理比較器LOCから出力される論理比較結果を記憶する。論理比較器LOCは被試験メモリMUTから読み出される応答出力と、期待値とが不一致の場合に不良を表わす「1」論理を出力する。従ってレジスタFCMのアドレス（被試験メモリMUTのカラムアドレスと一致している）に「1」論理が書きこまれると、そのカラムアドレスのセルが不良であることが解る。尚、図2ではレジスタFCMを1本しか記載していないが、現実には例えば6本程度のレジスタが設けられ、一度に6本のローアドレスライン上のセル列を試験する。

【0027】

カラムアドレスの最終アドレスまで不良データの取り込みが進むと、その時点でレジスタFCMに取り込んだフェイルデータはバッドアドレスライン検出記憶

手段203を構成する積算レジスタFCSMに各ビット毎に対応させて転送すると共に、各レジスタFCMの各アドレスを読み出し、レジスタFCMに取り込んだフェイルデータをフェイル検出器FCDに出力する。フェイル検出器FCDはレジスタFCMから「1」論理が出力される毎にその「1」論理をフェイルカウンタFCCONに入力し、フェイルカウンタFCCONにフェイルの個数を計数させる。

【0028】

フェイルカウンタFCCONに計数されている計数値は第1レジスタRG1に設定した数値と第1比較器CP1で比較される。第1レジスタRG1にはスペアカラムセル列SCの本数に+1した値が設定される。従って、図6に示したようにスペアカラムセル列SCが4本であった場合には第1レジスタRG1には「5」が設定される。

フェイルカウンタFCCONの計数値が「5」に達すると、第1比較器CP1は例えば「1」論理を出力し、バッドブロックメモリBBMにバッドブロックであることを表わす「1」論理を書き込む。バッドブロックメモリBBMには被試験メモリMUTに与えられるローアドレス信号がローアドレス選択器207から入力されており、被試験メモリMUTと同一のブロックがアクセスされる。従って、バッドブロックメモリBBMは被試験メモリMUTで試験されるブロックと同一アドレスがアクセスされ、バッドブロックと判定されたブロックと対応するアドレスに「1」論理が書きこまれ、バッドブロックの記憶が行われる。

【0029】

バッドブロックメモリBBMにバッドブロックを表わす「1」論理が書き込まれると、その情報がマスク制御手段205に伝えられ、その時点で試験中のブロックに関してはマスクが掛けられ、そのブロックの試験は終了される被試験メモリMUTが1個の場合はパターン発生器PGは次のブロックの試験にジャンプする。また同時に多数のメモリを試験している場合は、バッドブロックが検出されたメモリだけ、そのブロックの試験を中断し、この中断している間に他のメモリの試験は継続される。

【0030】

レジスタ FCM の読み出しが終了すると、レジスタ FCM の内容はリセットされ、次に指定されるローアドレスライン ROLIN 上の各セルの記憶を読み出し、比較判定が行われる。

ブロック内の全てのローアドレスライン上のセルの記憶が読み出され、その良否の判定結果がレジスタ FCM に取り込まれ、その間にバッドブロックと判定されなければ、試験は次のブロックに移る。

【 0 0 3 1 】

ここでバッドアドレスライン検出記憶手段 2 0 3 では積算レジスタ FCSM は、各カラムアドレスライン COLIN 上の不良セルの合計を積算する。この積算が行われる毎に積算レジスタ FCSM は読み出しが行われ、各カラムアドレスライン COLIN 上の不良セル数を第 2 比較器 CP2 に印加する。

第 2 比較器 CP2 は第 2 レジスタ RG2 に設定した例えばスペアブロック SB の数に + 1 した値（この例では「 5 」とする）と各カラムアドレスライン上の不良セルの数とを比較し、カラムアドレスライン COLIN 上の不良セルの数が第 2 レジスタ RG2 に設定した数値「 5 」に達すると、そのカラムアドレスラインをバッドアドレスラインと判定し、このバッドアドレスラインをバッドアドレスラインメモリ PM に記憶する。この記憶によりバッドアドレスラインはスペアカラムセル列 SC で救済するものとして記憶される。

【 0 0 3 2 】

バッドアドレスラインメモリ PM はバッドアドレスラインの情報をこの例ではカラムアドレスとして記憶し、その後に被試験メモリ MUT にバッドアドレスラインと判定したと同じカラムアドレスが印加される毎にセクタ SL を制御し、バッドアドレスライン上のセルにはレジスタ RG4 に記憶した強制書込信号を書き込む。強制書込信号とは NAND 型フラッシュメモリの場合「 1 」論理の書き込み信号がそれに該当し、「 1 」論理を書き込むことにより、フラッシュメモリの内部ではセルが不良であっても書き込みが正常に行われたと判定し、再書き込み動作を繰り返すことなく次の動作が実行される。従って、今後試験されるブロックにおいてバッドアドレスライン上のセルが不良であってもその都度再書き込みが行われずに書き込みが完了したとみなされて、直ちに読み出しが実行され

、試験が継続されるから試験時間を短縮することができる。

【0033】

バッドメモリ検出記憶手段204はバッドブロックメモリBBMに記憶したバッドブロックの数を計数するバッドブロックカウンタBBCと、第3レジスタRG3と、第3比較器CP3とによって構成される。

第3レジスタRG3にはスペアブロックSBの数に被試験メモリMUTのメモリ形成部A1、A2（図6参照）に形成したブロック数の数%を加えた数値を設定する。スペアブロックSBの数を「4」ブロックの数を512とし、その数の2%とすると第3レジスタには「4+10」が設定される。

【0034】

バッドブロックの数が4個であればこれらのバッドブロックはスペアブロックSBで救済可能である。更に、4本のスペアカラムセル列SCで救済できるバッドブロックも存在するものとするれば最大で4個のバッドブロックを救済することができる。更に救済が不能なバッドブロックが存在しても、そのバッドブロックをマスクして利用する使用方法が取られることから、許容値は必ずしも救済可能な数値に一致するものでない。

【0035】

バッドブロックカウンタBBCが許容値を越えるバッドブロックの数を計数すると、第3比較器CP3はこの試験中のメモリをバッドメモリと判定してマスク制御信号を出力し、このマスク制御信号によってマスク制御手段205はパターン発生器PG及び論理比較器LOC等にマスク信号を出力し、バッドメモリに対する試験を停止させる。従って、1個のメモリを試験する試験装置の場合はその時点で試験が中止され、不良のメモリに対していつまでも試験を続ける状態から開放される。更に、同時に複数のメモリを試験するメモリ試験装置の場合は、他の被試験メモリの試験は継続され、不良セルの数が多いメモリのために試験時間が長く掛かることを回避することができる。

【0036】

【発明の効果】

以上説明したように、この発明によれば試験中に救済処理の判定を下すから救

済処理方法を試験終了後に解析する必要がない。然も、不良セルの数が多い被試験メモリに対してはバッドブロックと判定した時点或いはバッドアドレスラインと判定した時点からは、そのバッドブロック及びバッドアドレスライン上のセルの試験を実質的に行わない試験方法を採用から、不良セルに出会う毎に再書込みを行う動作を少なくすることができる。この結果、試験に要する時間を短縮することができる利点を得られ、その効果は実用に供して頗る大である。

【図面の簡単な説明】

【図 1】

この発明によるメモリ試験装置の一実施例を説明するためのブロック図。

【図 2】

この発明の要部の構成を説明するためのブロック図。

【図 3】

この発明によるメモリ試験装置で試験を行う被試験メモリのローアドレスラインとカラムアドレスラインの配置の一例を説明するための図。

【図 4】

従来のメモリ試験装置を説明するためのブロック図。

【図 5】

ブロック機能を具備したメモリの概要を説明するための図。

【図 6】

ブロック機能を具備したメモリの救済構造を説明するための図。

【符号の説明】

1 0 0	主制御器
2 0 0	メインフレーム
2 0 1	テストバス
2 0 2	バッドブロック検出記憶手段
2 0 3	バッドアドレスライン検出記憶手段
2 0 4	バッドメモリ検出記憶手段
2 0 5	マスク制御手段
2 0 6	カラムアドレス選択器

207

ローアドレス選択器

【書類名】 図面

【図 1】

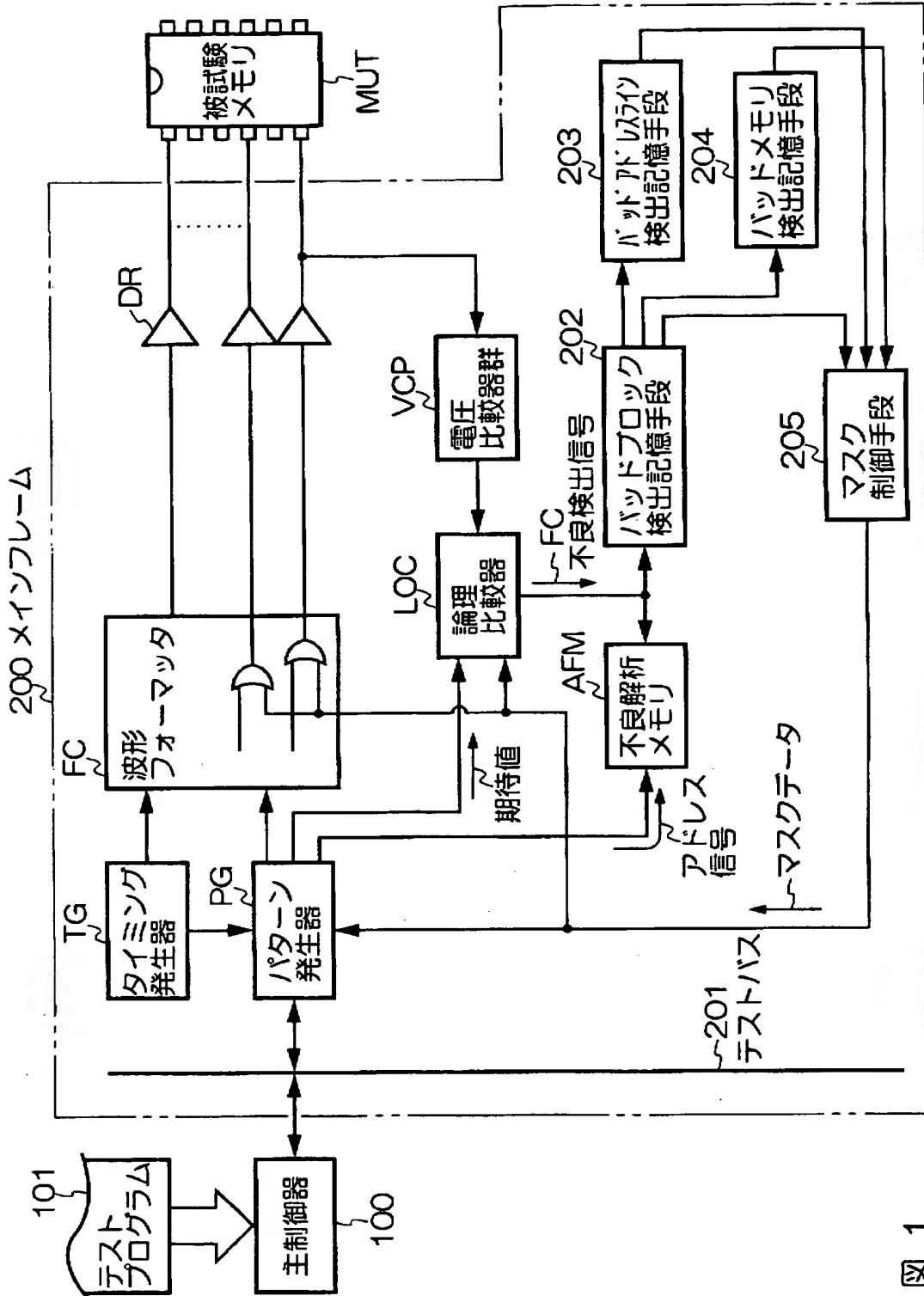


図 1

【図 2】

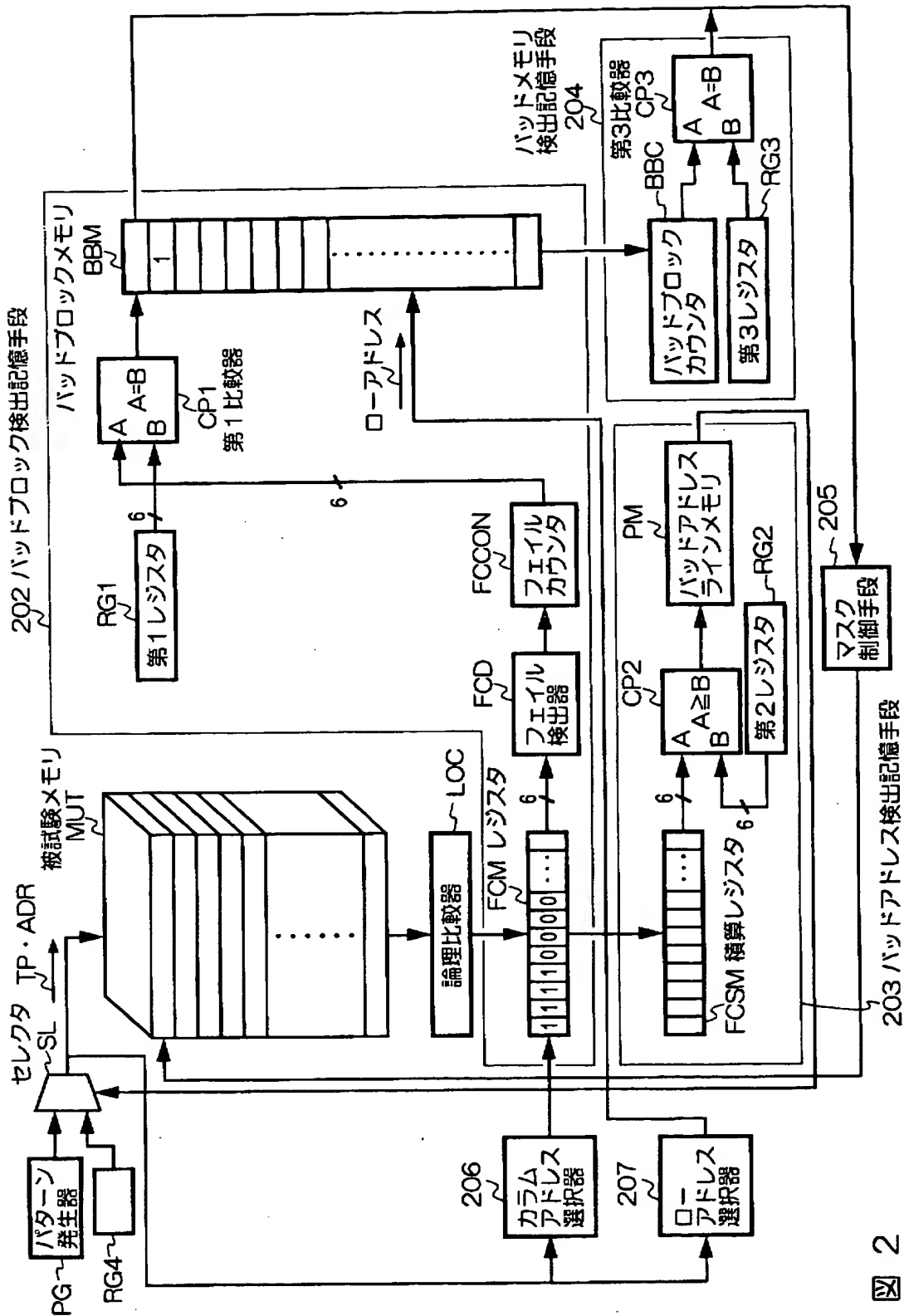


図 2

【図 3】

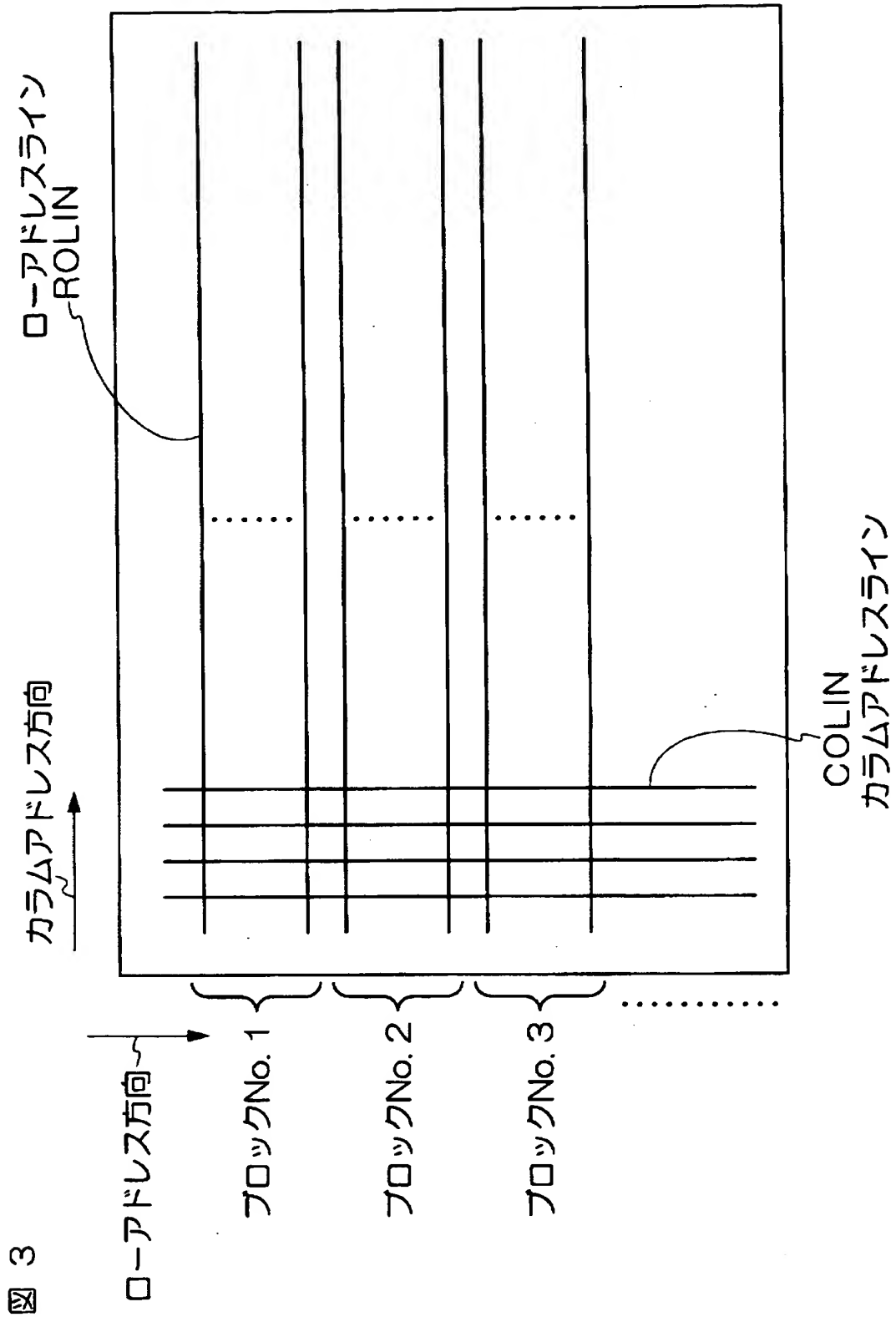
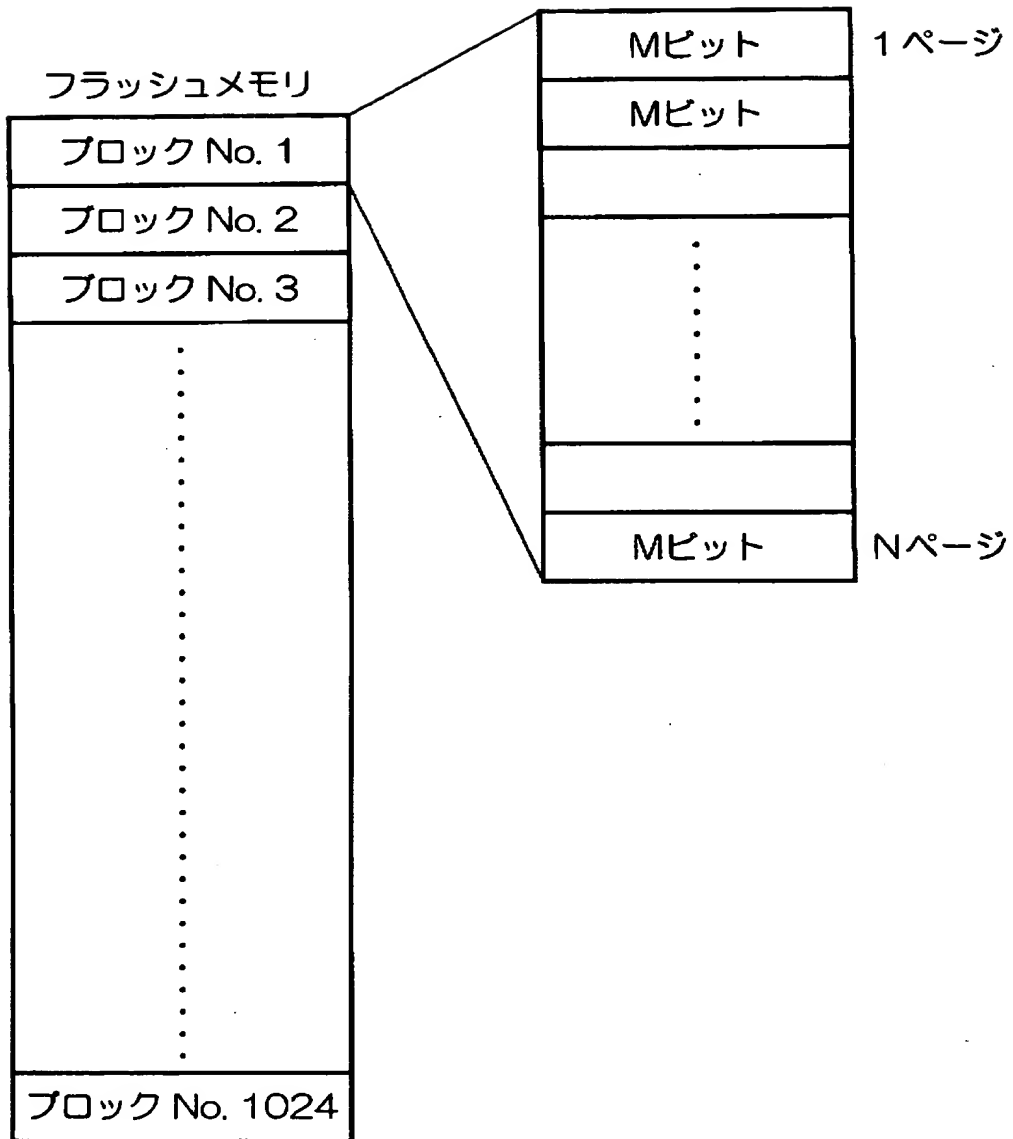


図 3

【図 4】

図 4



【図 5】

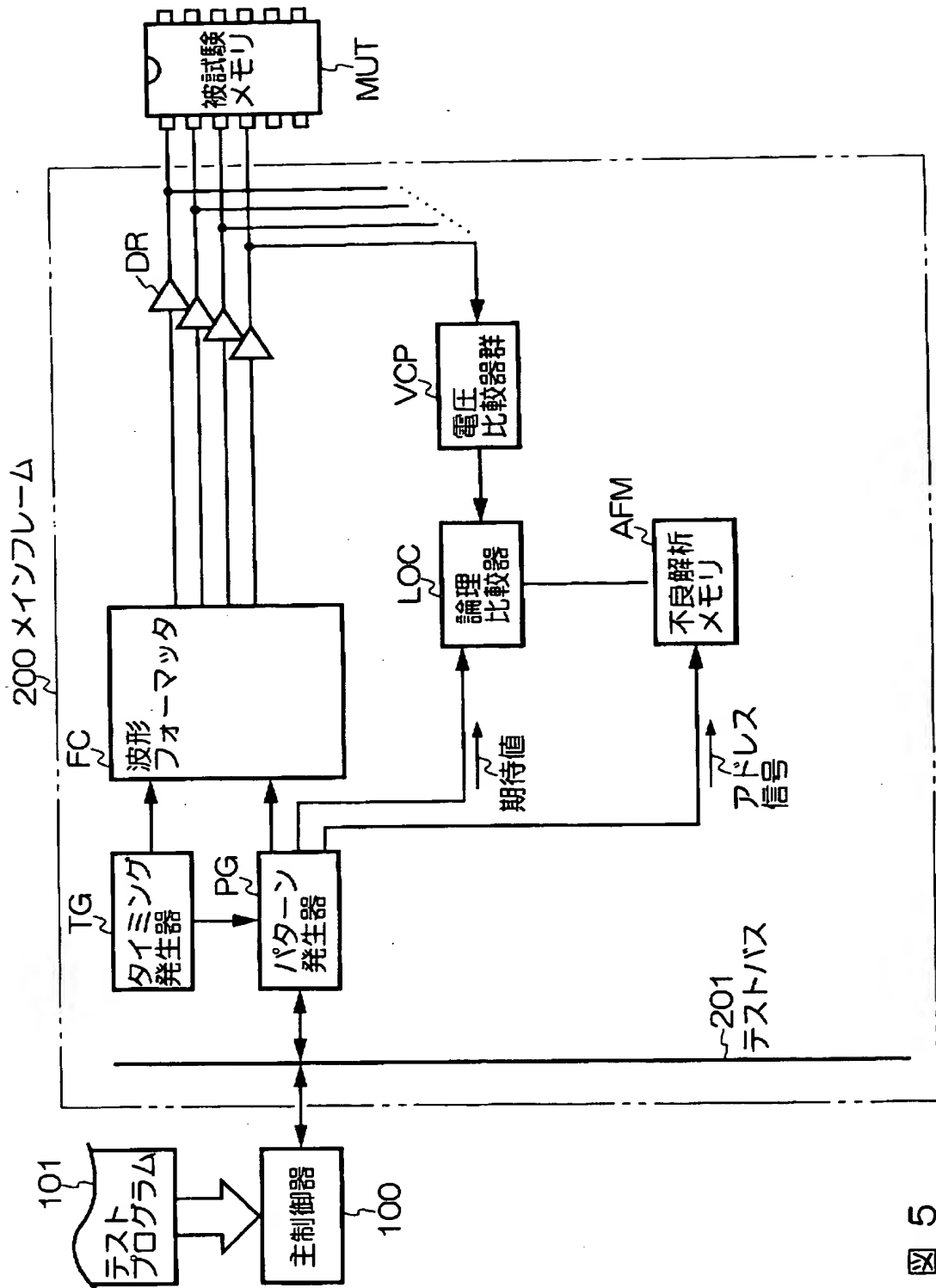
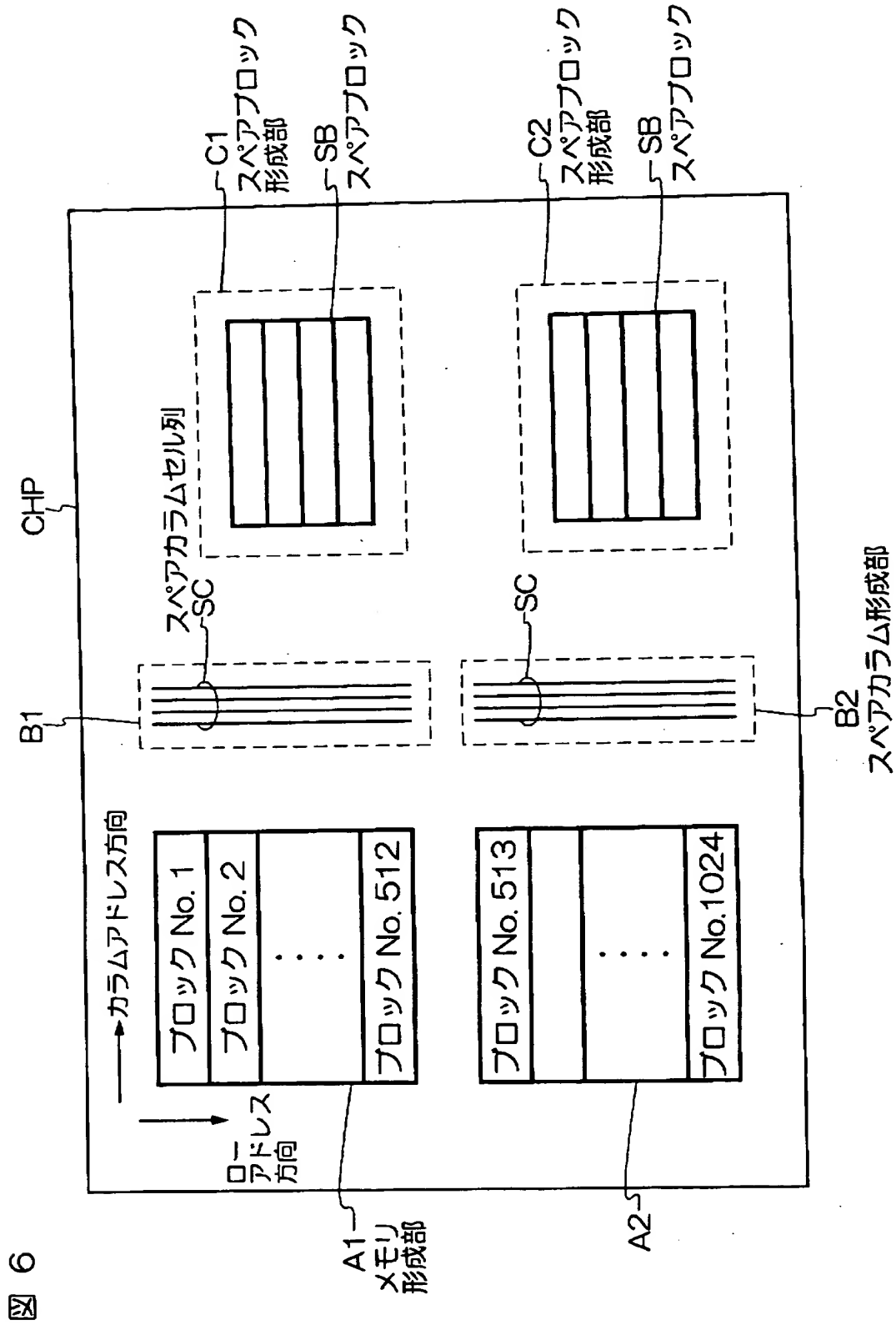


図 5

【図 6】



【書類名】 要約書

【要約】

【課題】 フラッシュメモリを短時間に試験する試験方法と、試験装置を提供する。

【解決手段】 ブロック機能を具備したメモリを試験する場合に、各ブロックを構成する全てのセルに所定の論理を書き込み、その記憶を読み出して期待値と比較し、不一致を検出して不良セルを検出するメモリ試験方法において、各ブロック毎に不良セルの数が所定個に達するとそのブロックをバッドブロックと判定し、そのブロックの試験を中止すると共に、同一アドレスライン上の不良セルの数が所定の数に達するとそのアドレスラインをバッドアドレスラインと判定し、その後はこのバッドアドレスライン上のセルに関しては実質的に試験を行わない試験方法を提案する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [390005175]

1. 変更年月日 1990年10月15日
[変更理由] 新規登録
住 所 東京都練馬区旭町1丁目32番1号
氏 名 株式会社アドバンテスト